

## **Conception de processeurs spécialisés au moyen de l'outil ASIP Designer**

**L'initiative RISC-V a popularisé la conception de processeurs propres à un domaine ou à une application. Cette conception implémente une architecture de jeu d'instructions (ISA) spécialisée, souvent à partir d'une ISA de base comme RISC-V.**

**Mais les concepteurs doivent tout de même choisir la meilleure ISA pour leur application particulière, la manière d'obtenir un compilateur et un simulateur pour l'architecture spécialisée, ainsi que la manière de déterminer si le rendement ciblé peut être atteint.**

**Synopsys ASIP Designer est un outil qui automatise la conception de processeurs propres à une application. Les concepteurs commencent avec une seule spécification de processeur qui permet de modéliser des ISA standards comme RISC-V de même que tout type de spécialisation. Ils obtiennent ensuite un simulateur fidèle au cycle près, un débogueur et un compilateur C/C++ d'optimisation qui prennent tous en charge l'ISA. Cela permet des optimisations incorporées des spécifications du processeur par le compilateur, et l'étalonnage de la performance utilise le code de l'application. À partir de la même spécification, le code RTL est généré, ce qui permet de mesurer le nombre de portes et de déterminer les chemins critiques de la conception.**

**Partout dans le monde, les principales entreprises de semiconducteurs et de systèmes déploient ASIP Designer pour élaborer des conceptions innovantes avec des calendriers serrés et des équipes de conception restreintes.**

**L'outil ASIP Designer est proposé aux universités membres du RNCC au Canada par l'intermédiaire de CMC Microsystèmes.**

**Joignez-vous à nous pour cette série de séances de formation, afin d'en apprendre davantage sur ASIP Designer et sur la manière de l'utiliser dans votre prochain projet.**

Séance 1 : Formation sur l'outil ASIP Designer et la méthodologie  
25 août, 10 h à 14 h 30

- Contenu :
  - Présentation de ASIP Designer : aspect et convivialité
  - Présentation de la méthodologie de conception d'ASIP, qui permet une optimisation basée sur le profilage de l'architecture de processeur
  - Présentation de l'exercice pratique : conception d'un processeur ASIP spécialisé pour l'accélération de l'algorithme SHA-256 et basé sur un processeur RISC-V.

26 août : Les étudiants auront accès aux licences d'outils nécessaires pour réaliser le laboratoire pratique à leur propre rythme. Vous pouvez poser vos questions aux formateurs par courriel.

Séance 2 : ASIP Designer, exemples de modèles  
27 août, 10 h à midi

- Contenu :
  - ASIP Designer comprend une vaste gamme d'exemples de modèles. Ces modèles sont fournis sous la forme de code source. Ainsi, ils sont faciles à modifier et peuvent servir de point de départ d'une

conception pour un client, de même que comme référence sur la manière de modéliser certaines fonctionnalités de l'architecture.

- Au cours de cette séance, nous présenterons les modèles proposés, puis nous explorerons plus en détail certains de ceux-ci, des microcontrôleurs comme RISC-V jusqu'aux accélérateurs hautement spécialisés, mais entièrement programmables, en passant par les modèles VLIW

Séance 3 : Séance de questions et réponses sur ASIP Designer

27 août, 12 h 45 à 14 h 15

- Cette séance sera interactive. Si vous avez déjà utilisé ASIP Designer, vous pourriez avoir des questions auxquelles vous ne trouvez pas de réponse dans les manuels. Cette séance constitue l'occasion de poser ces questions aux spécialistes d'applications Synopsys.